

1º WORKSHOP NACIONAL EM REDES NEURONAIS E 1ª ESCOLA DE REDES NEURONAIS

Nome do Coordenador: Marco Aurélio Cavalcanti Pacheco

Instituição: Pontifícia Universidade Católica do Rio de Janeiro

Departamento: Departamento de Engenharia Elétrica

Endereço para correspondência: Rua Marquês de S. Vicente, 225
22453 - Gávea
Rio de Janeiro - RJ

E-Mail: marco@gsc.ele.puc-rio.br **Fax:** (021) 511-5154

Composição da Equipe (Além do coordenador)

Marley Maria B. Rebuzzi Vellasco; Antônio Jorge Abelém; Philip C. Treleaven; Michael Recce; John Taylor; Meyer Elias Nigri; Jason Kingdon.

Infraestrutura Básica Disponível (Hardware/Software)

- 12 estações SPARC 1+
- 3 estações SPARC 2
- Galatea/Pygmalion - Ambientes de Programação de Redes Neurais, incluindo as linguagens de programação nC e VML para RN.

Cooperações Técnico-Científicas Existentes (Nacionais e Internacionais):

- Cooperação Técnico-Científica com University College London, Department of Computer Science.

1º WORKSHOP NACIONAL EM REDES NEURONAIS E 1ª ESCOLA DE REDES NEURONAIS

Nome do Coordenador: Marco Aurélio Cavalcanti Pacheco

Instituição: Pontifícia Universidade Católica do Rio de Janeiro

Departamento: Departamento de Engenharia Elétrica

Endereço para correspondência: Rua Marquês de S. Vicente, 225
22453 - Gávea
Rio de Janeiro - RJ

E-Mail: marco@gsc.ele.puc-rio.br **Fax:** (021) 511-5154

Composição da Equipe (Além do coordenador)

Marley Maria B. Rebuzzi Vellasco; Antônio Jorge Abelém; Philip C. Treleaven; Michael Recce; John Taylor; Meyer Elias Nigri; Jason Kingdon.

Infraestrutura Básica Disponível (Hardware/Software)

- 12 estações SPARC 1+
- 3 estações SPARC 2
- Galatea/Pygmalion - Ambientes de Programação de Redes Neurais, incluindo as linguagens de programação nC e VML para RN.

Cooperações Técnico-Científicas Existentes (Nacionais e Internacionais):

- Cooperação Técnico-Científica com University College London, Department of Computer Science.

UMA ARQUITETURA PARALELA E PROCESSADOR "NEURAL-RISC" PARA REDES NEURAIS

Este projeto investiga um microprocessador RISC e uma arquitetura paralela, desenvolvidos para otimizar a computação de modelos neurais. O Neural-RISC é um microprocessador primitivo (do tipo Transputer), para a construção de um neurocomputador paralelo de propósito geral, do tipo MIMD ("multiple instructions multiple data").

A arquitetura do sistema Neural-RISC consiste de "arrays" lineares de microprocessadores conectados em anel. Os anéis terminam num módulo de interconexão, formando um grupo. Grupos são organizados em diferentes topologias ponto a ponto e são controlados por um computador central. O computador central, que consiste de uma estação de trabalho, suporta inicialização, programação e monitoração da rede. Durante a operação, mensagens na forma de pacotes podem ser endereçadas a um nó processador, a um grupo de nós, todos os nós, ou ao computador central.

A arquitetura do microprocessador Neural-RISC é composta de: um processador RISC de 16 bits, uma unidade de comunicação, e memória local, todos integrados numa mesma pastilha de silício.

Um protótipo VLSI foi implementado para validar a arquitetura do sistema e a arquitetura do nó de processamento. Utilizando-se a tecnologia CMOS 2 microns, o chip integra dois microprocessadores Neural-RISC completos (unidade de processamento, unidade de comunicação e memória) em uma área de 8.7x9.6mm. Análise estatística baseada neste protótipo, oferece uma avaliação do desempenho e da densidade de encapsulamento da arquitetura e ainda uma avaliação dos requisitos de hardware para a implementação de sistemas de neurocomputadores Neural-RISC com tecnologias CMOS mais modernas. Por exemplo, utilizando-se a tecnologia CMOS 0.8 microns, mais de 16 microprocessadores completos, cada um com 9 Kbytes de memória, podem ser integrados num único chip; 2048 microprocessadores podem então estar embutidos numa única estação de trabalho SUN, resultando em um sistema de 30 BIPS (bilhões de instruções por segundo) e 18 Mbytes de memória.

UMA ARQUITETURA VLSI PARA GERAÇÃO AUTOMÁTICA DE CHIPS PARA REDES NEURAIS

O objetivo principal deste projeto é oferecer um mecanismo automático de produção de neurocomputadores de propósito específico (NPE), a partir de uma descrição em alto nível do modelo neural. De forma a se alcançar este objetivo, é crucial que se defina uma arquitetura básica, a partir da qual diferentes NPEs possam ser automaticamente gerados por um compilador de silício, através de pequenos ajustes em certos parâmetros internos.

De forma a se definir essa arquitetura básica, desenvolveu-se um modelo geral para o neurônio artificial, denominado Generic Neuron. O Generic Neuron integra, em uma única estrutura, as principais características presentes nos modelos de redes neurais, isto é, em termos de funcionalidade e conectividade.

UMA ARQUITETURA PARALELA E PROCESSADOR "NEURAL-RISC" PARA REDES NEURAIS

Este projeto investiga um microprocessador RISC e uma arquitetura paralela, desenvolvidos para otimizar a computação de modelos neurais. O Neural-RISC é um microprocessador primitivo (do tipo Transputer), para a construção de um neurocomputador paralelo de propósito geral, do tipo MIMD ("multiple instructions multiple data").

A arquitetura do sistema Neural-RISC consiste de "arrays" lineares de microprocessadores conectados em anel. Os anéis terminam num módulo de interconexão, formando um grupo. Grupos são organizados em diferentes topologias ponto a ponto e são controlados por um computador central. O computador central, que consiste de uma estação de trabalho, suporta inicialização, programação e monitoração da rede. Durante a operação, mensagens na forma de pacotes podem ser endereçadas a um nó processador, a um grupo de nós, todos os nós, ou ao computador central.

A arquitetura do microprocessador Neural-RISC é composta de: um processador RISC de 16 bits, uma unidade de comunicação, e memória local, todos integrados numa mesma pastilha de silício.

Um protótipo VLSI foi implementado para validar a arquitetura do sistema e a arquitetura do nó de processamento. Utilizando-se a tecnologia CMOS 2 microns, o chip integra dois microprocessadores Neural-RISC completos (unidade de processamento, unidade de comunicação e memória) em uma área de 8.7x9.6mm. Análise estatística baseada neste protótipo, oferece uma avaliação do desempenho e da densidade de encapsulamento da arquitetura e ainda uma avaliação dos requisitos de hardware para a implementação de sistemas de neurocomputadores Neural-RISC com tecnologias CMOS mais modernas. Por exemplo, utilizando-se a tecnologia CMOS 0.8 microns, mais de 16 microprocessadores completos, cada um com 9 Kbytes de memória, podem ser integrados num único chip; 2048 microprocessadores podem então estar embutidos numa única estação de trabalho SUN, resultando em um sistema de 30 BIPS (bilhões de instruções por segundo) e 18 Mbytes de memória.

UMA ARQUITETURA VLSI PARA GERAÇÃO AUTOMÁTICA DE CHIPS PARA REDES NEURAIS

O objetivo principal deste projeto é oferecer um mecanismo automático de produção de neurocomputadores de propósito específico (NPE), a partir de uma descrição em alto nível do modelo neural. De forma a se alcançar este objetivo, é crucial que se defina uma arquitetura básica, a partir da qual diferentes NPEs possam ser automaticamente gerados por um compilador de silício, através de pequenos ajustes em certos parâmetros internos.

De forma a se definir essa arquitetura básica, desenvolveu-se um modelo geral para o neurônio artificial, denominado Generic Neuron. O Generic Neuron integra, em uma única estrutura, as principais características presentes nos modelos de redes neurais, isto é, em termos de funcionalidade e conectividade.

1º WORKSHOP NACIONAL EM REDES NEURONAIS E 1ª ESCOLA DE REDES NEURONAIS

A arquitetura Generic Neuron é baseada num processador cuja estrutura é dividida em duas unidades lógicas: unidade sináptica e unidade neural. A unidade sináptica atualiza os valores dos pesos, durante a fase de aprendizado, e a unidade neural calcula os valores de saída do neurônio artificial (estado e erro). O processador basicamente consiste de: um banco de memória para armazenar os pesos sinápticos, bem como os valores (estados e erros) recebidos de outros processadores; uma PLA ("programmable logic array") para implementar o controle do processador; e finalmente uma memória ROM que contém a tabela de consulta para a função "threshold".

A comunicação entre os processadores na arquitetura Generic Neuron é efetuada através de barramentos de difusão, onde cada elemento processador ganha acesso ao barramento sequencialmente, via comandos enviados por um controlador central.

Um protótipo da arquitetura Generic Neuron foi implementado e fabricado, utilizando-se o modelo "Back Propagation", com aprendizado, como exemplo de algoritmo neural. Com a já ultrapassada tecnologia 2 microns, o protótipo integra 2 elementos processadores completos em uma área de silício de 7.5x10.1mm. Entretanto, através da utilização de tecnologias mais modernas e de uma implementação totalmente "full custom", pode-se chegar a densidades bem maiores, da ordem de 40 processadores por circuito integrado.

GALATEA: SISTEMA INTEGRADO DE SOFTWARE E HARDWARE PARA COMPUTAÇÃO NEURAL

Este projeto tem como objetivo principal o desenvolvimento de um sistema de programação "aberto" e integrado de software e hardware, para a implementação de redes neurais e suas aplicações. As principais metas deste projeto envolvem pesquisa nas seguintes áreas: a) Neurocomputador de Propósito Geral - baseado na arquitetura Neural-RISC, de forma a fornecer uma plataforma eficiente de execução de modelos neurais; b) Ambiente de programação de redes neurais - de forma a permitir ao usuário o controle e monitoração da execução do algoritmo neural; c) Compilador de silício - para transformar, automaticamente, uma aplicação neural descrita em alto nível em chips ASICs ("application specific integrated circuits"). O compilador de silício utilizará, como estrutura básica, a arquitetura Generic Neuron; d) Aplicação (OCR - "optical character recognition") - para consolidar o projeto e verificar a sua aplicabilidade.

Neste ambiente, o usuário especifica a aplicação neural descrevendo o algoritmo em uma linguagem de alto nível ou, mais provavelmente, modificando um modelo parametrizado já existente em sua biblioteca de modelos neurais. Esta especificação em alto nível é então transformada e executada no neurocomputador de propósito geral, de forma a fornecer o desempenho adequado à aplicação. A execução do modelo pode ser controlada e monitorada através do ambiente de programação, dando ao usuário a flexibilidade de experimentar com diferentes parâmetros e aspectos do algoritmo neural, até que a melhor configuração seja alcançada. Além do ambiente de software e do neurocomputador de propósito geral, pretende-se desenvolver um compilador de silício dedicado a redes neurais. O objetivo principal deste sistema é o de produzir, automaticamente, um circuito integrado VLSI, compacto e eficiente, dedicado à aplicação em questão. A integração de um compilador de silício ao sistema de programação permite ao usuário obter, de forma rápida e precisa, um chip dedicado à sua aplicação.

1º WORKSHOP NACIONAL EM REDES NEURONAIS E 1ª ESCOLA DE REDES NEURONAIS

A arquitetura Generic Neuron é baseada num processador cuja estrutura é dividida em duas unidades lógicas: unidade sináptica e unidade neural. A unidade sináptica atualiza os valores dos pesos, durante a fase de aprendizado, e a unidade neural calcula os valores de saída do neurônio artificial (estado e erro). O processador basicamente consiste de: um banco de memória para armazenar os pesos sinápticos, bem como os valores (estados e erros) recebidos de outros processadores; uma PLA ("programmable logic array") para implementar o controle do processador; e finalmente uma memória ROM que contém a tabela de consulta para a função "threshold".

A comunicação entre os processadores na arquitetura Generic Neuron é efetuada através de barramentos de difusão, onde cada elemento processador ganha acesso ao barramento sequencialmente, via comandos enviados por um controlador central.

Um protótipo da arquitetura Generic Neuron foi implementado e fabricado, utilizando-se o modelo "Back Propagation", com aprendizado, como exemplo de algoritmo neural. Com a já ultrapassada tecnologia 2 microns, o protótipo integra 2 elementos processadores completos em uma área de silício de 7.5x10.1mm. Entretanto, através da utilização de tecnologias mais modernas e de uma implementação totalmente "full custom", pode-se chegar a densidades bem maiores, da ordem de 40 processadores por circuito integrado.

GALATEA: SISTEMA INTEGRADO DE SOFTWARE E HARDWARE PARA COMPUTAÇÃO NEURAL

Este projeto tem como objetivo principal o desenvolvimento de um sistema de programação "aberto" e integrado de software e hardware, para a implementação de redes neurais e suas aplicações. As principais metas deste projeto envolvem pesquisa nas seguintes áreas: a) Neurocomputador de Propósito Geral - baseado na arquitetura Neural-RISC, de forma a fornecer uma plataforma eficiente de execução de modelos neurais; b) Ambiente de programação de redes neurais - de forma a permitir ao usuário o controle e monitoração da execução do algoritmo neural; c) Compilador de silício - para transformar, automaticamente, uma aplicação neural descrita em alto nível em chips ASICs ("application specific integrated circuits"). O compilador de silício utilizará, como estrutura básica, a arquitetura Generic Neuron; d) Aplicação (OCR - "optical character recognition") - para consolidar o projeto e verificar a sua aplicabilidade.

Neste ambiente, o usuário especifica a aplicação neural descrevendo o algoritmo em uma linguagem de alto nível ou, mais provavelmente, modificando um modelo parametrizado já existente em sua biblioteca de modelos neurais. Esta especificação em alto nível é então transformada e executada no neurocomputador de propósito geral, de forma a fornecer o desempenho adequado à aplicação. A execução do modelo pode ser controlada e monitorada através do ambiente de programação, dando ao usuário a flexibilidade de experimentar com diferentes parâmetros e aspectos do algoritmo neural, até que a melhor configuração seja alcançada. Além do ambiente de software e do neurocomputador de propósito geral, pretende-se desenvolver um compilador de silício dedicado a redes neurais. O objetivo principal deste sistema é o de produzir, automaticamente, um circuito integrado VLSI, compacto e eficiente, dedicado à aplicação em questão. A integração de um compilador de silício ao sistema de programação permite ao usuário obter, de forma rápida e precisa, um chip dedicado à sua aplicação.