

Treinamento do Dipolo de Hopfield Usado como Conversor A/D

José Homero Feitosa Cavalcanti¹, Alexandro José Virgínio dos Santos²

¹DTM-CT/UFPB

Bairro Universitário, S/N. CEP58059-000 João Pessoa, PB

²DEE-CCT/UFPB

Av. Aprígio Veloso, 882 CEP:58.109-970 Campina Grande, PB

E-mail: ¹homero@ct.ufpb.br

Abstract

This paper presents design details, algorithms and simulation results obtained from a new analogic digital (A/D) signal converter. The new A/D uses two Hopfield neurons coupled like a dipolo .

Através do método de Euler, para a solução de equações diferenciais, calcula-se o valor discreto de Z_i , descrito na Eq.(3). Considerando-se k a representação do tempo discreto, h a representação do valor de incremento do tempo do método de Euler, e β definido na Eq. (4), o novo valor de Z_i é obtido através da Eq. (5).

1. Introdução

Catunda & Cavalcanti (1997) e Alsina & Cavalcanti (1998) propuseram um controlador, baseado na Rede Neural de Hopfield - RNH (Hopfield (1982/1988)), utilizando dois neurônios conectados entre si na forma de um dipolo. O controlador foi denominado Controlador Neural de Hopfield e a arquitetura dos dois neurônios foi chamada de dipolo de Hopfield (Dipolo-Ho). Baseando-se neste trabalho e nos trabalhos de Tank and Hopfield (1986) e Lee and Sheu (1988), e utilizando a arquitetura do dipolo de Hopfield, Ferreira et ali (1999) e Cavalcanti & Santos (2000) apresentaram um novo conversor A/D denominado Dipolo de Hopfield usado como conversor Analógico Digital (DH-A/D).

Neste trabalho apresenta-se uma nova aplicação do dipolo de Hopfield como conversor A/D. Serão apresentados o modelo dos neurônios e os resultados obtidos de simulações de um novo circuito do DH-A/D com e sem um algoritmo que acelera a conversão A/D.

2. Os Neurônios de Hopfield

O neurônio utilizado por Hopfield (1988), ilustrado na Figura 1, utiliza um circuito elétrico do tipo RC como armazenador de carga. Os X_{i1} , X_{i2} ,... X_{in} representam as entradas do neurônio, os W_{i1} , W_{i2} , ... W_{in} representam os pesos. Obtém-se Y_i através da Eq. (1). Emprega-se a chave S_1 , indicada na Figura 1, para conduzir a zero a saída O_i do neurônio. A constante de tempo do circuito RC do neurônio é definida como $1/RC$. Obtém-se a saída Z_i , na forma contínua, através da Eq. (2), com t representando o tempo.

$$Y_i = X_{i1}W_{i1} + X_{i2}W_{i2} + \dots + X_{in}W_{in} + \quad (1)$$

$$\frac{dZ_i}{dt} = \frac{Y_i - Z_i}{RC} \quad (2)$$

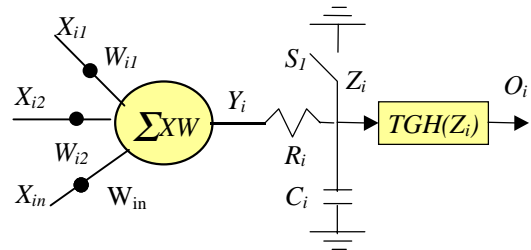


Figura 1: O neurônio de Hopfield

$$Z_{ik+1} = Z_{ik} + h \frac{1}{RC} (Y_i - Z_{ik}) \quad (3)$$

$$\beta = \frac{h}{RC} \quad (4)$$

$$Z_{ik+1} = Z_{ik} + \beta (Y_i - Z_{ik}) \quad (5)$$

A saída O_i do neurônio pode ser uma função sigmóide ou uma função tangente hiperbólica, descritas nas Eq. (6) e (7) respectivamente. O símbolo η representa uma constante positiva que controla a declividade da saída do neurônio.

$$O_i = SIG(Z_i) = \frac{1}{1 + e^{-\eta Z_i}} \quad (6)$$

$$O_i = TGH(Z_i) = 2 * SIG(Z_i) - 1 = \frac{1 - e^{-\eta Z_i}}{1 + e^{-\eta Z_i}} \quad (7)$$

3. Os Dipolos de Hopfield

Uma RNH com dois neurônios, conforme ilustrado na Figura 2, representa os dipolos de Hopfield. Cada um

dos dois neurônios possui uma entrada externa e uma entrada recorrente. As entradas externas do Dipolo-Ho são denominadas I_1 e I_2 . A entrada X_{11} do neurônio N_1 é conectada ao valor I_1 . A entrada X_{21} do neurônio N_2 é conectada ao valor I_2 . Assim obtém-se as entradas de N_1 : $X_{11}=W_{11}*I_1$ e $X_{12}=W_{12}*O_2$, com $W_{11}>0$ e $W_{12}<0$. As entradas de N_2 são: $X_{21}=W_{21}*I_2$ e $X_{22}=W_{22}*O_1$, com $W_{21}>0$ e $W_{22}<0$. Na Figura 2 $W_{11}=W_{21}=-1$ (elipse) e $W_{12}=W_{22}=1$ (losango).

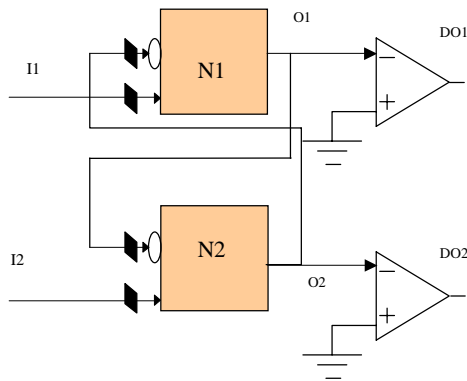


Figura 2: Representação simplificada da RNH

Para ilustrar as características do Dipolo-Ho ele é emulado num microcomputador padrão tipo IBM-PC. O número de iterações utilizado para calcular o valor de Z_{ik+1} (definido na Eq.(5)) desde a fase transitória até o regime é denominado de ITER. Durante a emulação da RNH no microcomputador foram atribuídos os seguintes valores às variáveis: ITER=100, $\beta=0.02$, para $I_1=1.0$ fixo e para diferentes valores de I_2 (0.1;0.5;0.9). Apresentam-se na Figura 3 as curvas dos resultados obtidos durante a fase transitória da saída dos neurônios N_1 e N_2 . Antes de cada emulação O_1 e O_2 são forçados a zero utilizando a chave S_1 apresentada na Figura 1. Os valores analógicos das saídas são representados por O_1 (linha contínua) e O_2 (linha tracejada). Na Figura 3 o ponto em que a curva O_2 cruza a abscissa (obtida com $I_1=1.0$ e $I_2=0.5$) está indicado pelo símbolo t_1 .

No intuito de simplificar a análise das características observadas nas curvas de saída obtidas do Dipolo-Ho foram feitas as seguintes definições:

Definição 1: define-se chaveamento dos neurônios do Dipolo-Ho quando a chave S_1 é fechada e em seguida é aberta em $t=0$ (o símbolo t representa o tempo).

Definição 2: define-se estado inicial do neurônio como o valor da tensão armazenada no capacitor logo após o chaveamento. O estado inicial do neurônio pode ser zero, um ou menos um. Por exemplo, na Figura 1 o estado inicial do neurônio é zero.

Definição 3: define-se estado regime nas saídas dos neurônios quando, após o chaveamento, os valores de O_1 e O_2 não se modificam sensivelmente.

Definição 4: define-se estado transitório nas saídas dos neurônios como o intervalo de tempo desde $t=0$ até o estado regime.

Definição 5: define-se competição entre os dois neurônios do Dipolo-Ho quando, durante o estado transitório nas saídas dos neurônios, o sinal da saída O_2 é igual ao sinal da saída O_1 .

Definição 6: define-se neurônio vencedor como o neurônio que no estado regime a sua saída se aproxima de um (1) enquanto o outro neurônio, a sua saída se aproxima de menos um (-1).

Definição 7: define-se valor digital das saídas dos neurônios do Dipolo-Ho como OD_i . OD_i é calculado pela Eq. (8).

$$\text{if}(O_i>0.)\text{then } OD_i=1 \text{ else } OD_i=0. \quad (8)$$

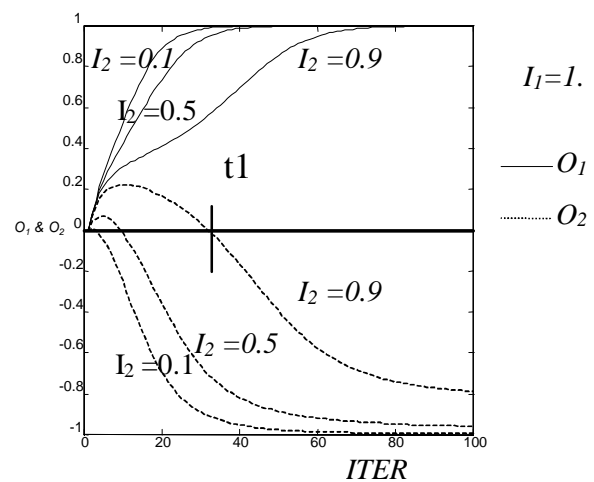


Figura3: Competição entre os neurônios N_1 e N_2

Na Figura 3 se pode observar que, quando o número de iterações for menor do que 40, o efeito da competição é evidente para $I_1=1$ e $I_2>0$. A competição é mínima para $I_1=1.0$ e $I_2<0.3$, isto sugere que para $E=\text{abs}(I_1-I_2)>0.3$ a competição é mínima (abs representa função valor absoluto). Quando o número de iterações é maior do que 100, a saída de N_1 está próximo de um, o Dipolo-Ho entrou no estado regime. Se $I_1 > I_2$ e se o número de iterações é maior que 100, o valor da saída de N_1 se aproxima de um. Entretanto, se $I_1 < I_2$ o valor da saída de N_1 se aproxima de menos um.

As características observadas durante as simulações com o Dipolo-Ho evidenciaram a possibilidade da sua aplicação em controladores (Catunda & Cavalcanti, 1997) (Alsina & Cavalcanti, 1998). Pode-se calcular a diferença entre I_1 e I_2 ($I_1=D_k$ e $I_2=X_k$) com o valor da saída de N_1 . Definiu-se o erro E_k como a diferença entre o valor desejado e o valor na saída da planta ($E_k=D_k-X_k$).

Utilizando-se os dois neurônios como controlador com número de iterações maior que 100, o par de neurônios de Hopfield pode ser considerado um controlador do tipo ON/OFF ($O_1=1.0$ ou $O_1=-1.0$), mas,

se o número de iterações é menor que 100, o valor absoluto final de $N1$ é menor que um.

4. O DH-A/D

Neste trabalho considera-se que o intervalo de tempo $t1$ é uma indicação do valor analógico de $I1$. Sabendo-se que $t1$ é o tempo de competição e que pode ser medido por contadores digitais (ou micro-computadores), decidiu-se utilizar o intervalo de tempo $t1$ como uma indicação do valor digital de $I1$.

Para o estudo do novo conversor A/D foi feita a simulação do Dipolo-Ho e a determinação de $t1$ para diferentes valores de $I1$. Na parte superior da Figura 4 apresentam-se os resultados obtidos da simulação do Dipolo-Ho para $I2=1.0$ (fixo) e $I1$ variando de 0 a 1.0 com incremento de 0.05. A cada ponto que a curva $O1$ interceptou a abscissa foi atribuído um valor a $t1$. Na parte inferior da Figura 4 apresenta-se a curva dos valores obtidos de $t1$ em função de $I1$. Observe-se que para $I1$ próximo de $I2$ a curva $O1$ não intercepta a abscissa, sendo atribuído um valor máximo a $t1$ neste ponto. Quando $I1$ está próximo de zero diminui o tempo $t1$ o que pode afetar a precisão da conversão A/D. Conhecendo-se a curva $t1$ em função de $I1$ pode ser calculado o valor digital utilizando-se tabelas ou redes neurais artificiais.

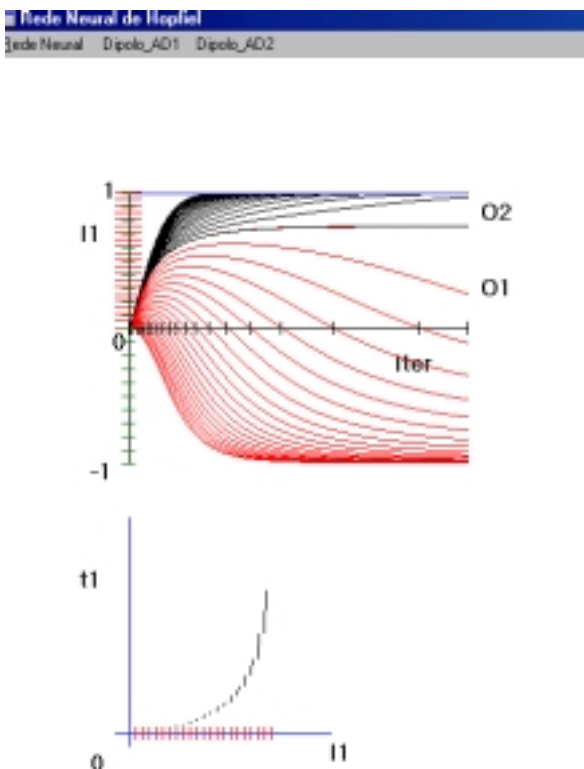


Figura 4: Valores de $t1$ para $I2=1.0$

5. Implementação do DH-A/D

O DH-A/D foi implementado com e sem o algoritmo de aceleração da conversão A/D (ver seção 6). Na implementação sem o algoritmo de aceleração (ver a Figura 2) os resultados das conversões (valores obtidos para $t1$) para $I1$ próximo de zero eram bem pequenos. No caso de $I1 > 0.7$ os valores obtidos para $t1$ dependem do tempo de contagem que deve ser grande (ver Figura 4). Os dois intervalos ($I1 < 0.3$ e $I1 > 0.8$) em que $t1$ não é bem determinado e a conversão é lenta pode ser contornado durante a construção do circuito elétrico utilizando-se um divisor de tensão elétrica.

6. Algoritmo de aceleração da conversão A/D

O algoritmo de aceleração da conversão A/D modifica $I2$ durante a determinação do valor digital de $I1$. Para testar o novo algoritmo foram feitas novas simulações utilizando diferentes valores de $I2$. Este novo conjunto de imposições ao DH-A/D foi denominado algoritmo de aceleração da conversão A/D. No algoritmo de aceleração o valor de referência pode ser modificado para $I2=0.5$ quando $I1 \leq 0.3$ (Figura 5) e $I2=2.0$ quando $I1 > 0.8$ (Figura 6).

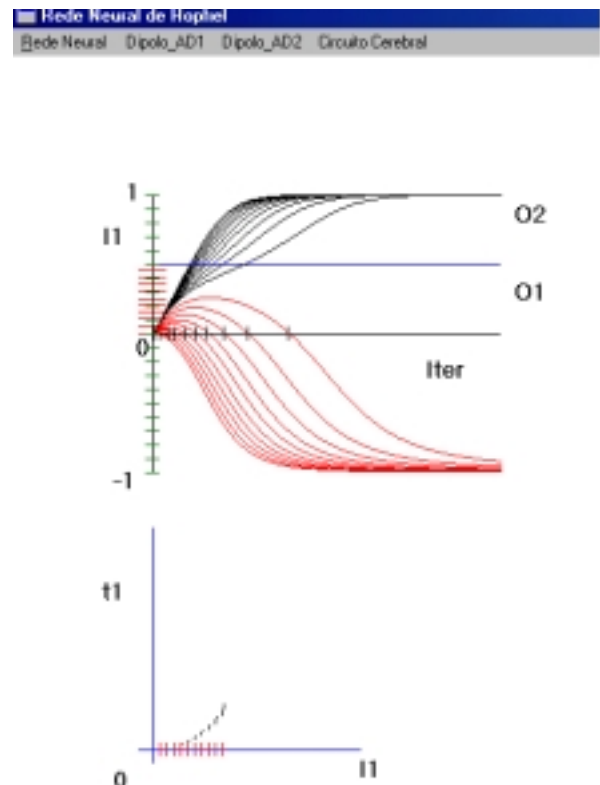


Figura 5: Valores de $t1$ para $I1 \leq 0.3$ e $I2=0.5$

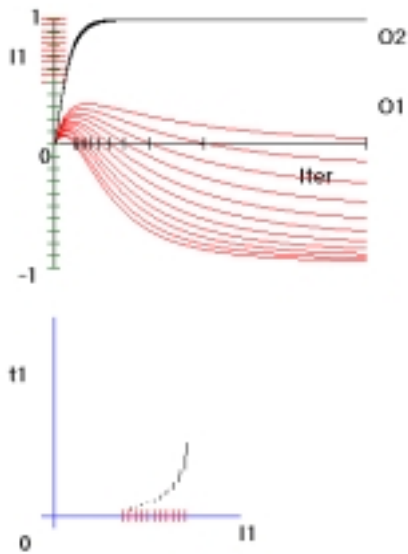


Figura 6: Valores de t_1 para $I_1 \geq 0.5$ e $I_2 = 2.0$

O simulador do DH-A/D foi implementado com o algoritmo de aceleração na forma apresentada na Fig.7. Os sinais de entrada (bits B_2, B_1, B_0) foram fornecidos pelo microcomputador e transmitidos a um conversor D/A padrão.

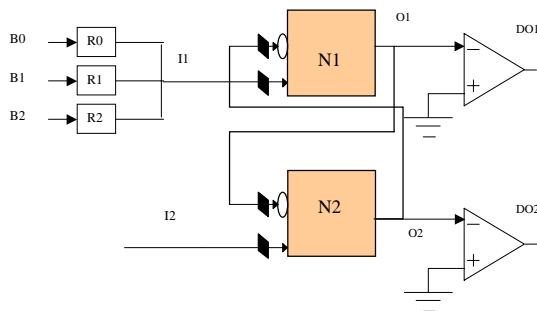


Figura 7: Implementação do DH-A/D, algoritmo da aceleração

7. Conclusão

Apresentou-se um novo conversor A/D com dipolos de Hopfield. A partir das curvas das saídas do Dipolo-Ho, obtidas por simulações, foram definidas as características de funcionamento do DH-A/D. A partir dessas definições foi proposto um algoritmo que permite a aceleração da conversão A/D pelo Dipolo-Ho.

Propõe-se como trabalho futuro o cálculo do valor digital da conversão A/D (a partir da curva da Figura 5) utilizando redes neurais artificiais. Além disso, um protótipo analógico do DH-A/D está sendo testado

experimentalmente e os resultados obtidos serão publicados futuramente.

Referências

- Hopfield, J. J. (1982). Neural Networks and Physical Systems with Emergent Collective Computational Abilities. Republicado por E. Sanchez-Sinencio & C. Lau, Artificial Neural Networks, IEEE Press, New York, pp. 25-29.
- Hopfield, J.J. (1988). Neurons with graded response have collective computational properties like those of two-state neurons. Proc. Nac. Acad. Sci. U.S.A., vol.81, pp. 3088-3092. Republicado por J. A. Anderson & E. Rosenfeld. Neurocomputing Foundations of Researchs. MIT Press, Cambridge, Massachusets, USA, 1988. Pp. 579-583.
- Tank, David W. and Hopfield, J.J. (1986). Simple Neural Optimization Networks: A/D Converter, Signal Decision Circuit, and a Linear Programming Circuit. IEEE Trans. on Circuits and Systems, Vol.33, No. 5; pp. 533-541.
- Lee, Bang W. and Sheu, Bing J. (1988). Design of a Neural-Based A/D Converter Using Modified Hopfield Network. Republicado por J.A. Anderson and E. Rosenfeld, Neurocomputing Foundations of Researchs, MIT Press, Cambridge, Massachusets, USA, pp.253-259.
- Catunda, S. Y. C. and Cavalcanti, J.H.F. (1997). Adaptative Hopfield Neural Controllers , IEEE International Symposium on Industrial Electronics - ISIE'97, Guimarães, Portugal, Pp.1206-1211.
- Alsina, Pablo J. and Cavalcanti, José Homero F. (1998). Implementação do Controlador Neural De Hopfield. XII Brazilian Automatic Control Conference-XII CBA'98, Uberlândia MG, pp. 2193-2197.
- José Homero Feitosa Cavalcanti, Alexsandro José Virgínio dos Santos, Circuito Conversor Analógico Digital Usando Dipolos de Hopfield, Congresso Brasileiro de Automática, CBA'2000, Florianópolis SC, 2000, pp.2016-2020.
- José Ricardo da Silva Ferreira, José Homero Feitosa Cavalcanti, Pablo Javier Alsina, "Conversores Analógico Digital Usando dipolos de Hopfield", SBAI'99 - IV Simpósio Brasileiro de Automação Inteligente, São Paulo - SP, 1999.